

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

Generate Collection

Print

L40: Entry 1 of 2

File: JPAB

Jul 10, 1985

PUB-NO: JP360129688A

DOCUMENT-IDENTIFIER: JP 60129688 A

TITLE: MAIN CLOCK DISTRIBUTION SYSTEM

PUBN-DATE: July 10, 1985

INVENTOR-INFORMATION:

NAME

COUNTRY

KONO, HISAO

ISHIGURO, TAMAHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP58237270

APPL-DATE: December 16, 1983

US-CL-CURRENT: 368/184

INT-CL (IPC): G04G 5/00; G04D 7/00; G06F 1/04; H04L 11/00

ABSTRACT:

PURPOSE: To attain to economically enhance reliability by monitoring the clock apparatus of a sub-apparatus while also enabling the periodic monitor thereof, by connecting a main apparatus and the sub-apparatus by a control bus and performing the confirmation of time setting and normality at every clock distribution at a scheduled time.

CONSTITUTION: The main clock apparatus (MCLK) of a main apparatus (MDV) always displays time to a main control apparatus (MCTL) while MCTL sends out a command frame (COM), to which the information of the present time is inputted, to sub-apparatuses (SDV0~N) at every determined time through a control bus (BUS) to store the sent-out time information. Further, the sub-control apparatus (CTL) of the sub-apparatus has a function, which receives COM from MCTL to interpret the time information and performs the time setting of a sub-clock apparatus (CLK), and a function, which inputs the reading time of CLK directly before time setting to a response frame (RES) to COM to perform editing and transmits the same to the main apparatus through BUS. MCTL extracts the time information received through BUS and compares the same with the stored time information and, when difference is constant or more, outputs the same to a display apparatus.

COPYRIGHT: (C)1985, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑫ 公開特許公報(A) 昭60-129688

⑪ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和60年(1985)7月10日
 G 04 G 5/00 J-7809-2F
 G 04 D 7/00 Z-7809-2F
 G 06 F 1/04 7056-5B
 H 04 L 11/00 101 Z-6866-5K 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 主時計分配方式

⑮ 特 願 昭58-237270

⑯ 出 願 昭58(1983)12月16日

⑰ 発 明 者 河 野 久 雄 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑱ 発 明 者 石 黒 玲 彦 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
 ⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

主時計分配方式

2. 特許請求の範囲

自ら時刻の更新可能な時計装置を有する従装置と高精度の主時計を有する主装置を制御バスで接続し、一定時刻毎に主装置より個々の従装置に対して夫々個別に主時計の現在の時刻情報を送出し、該時刻情報を受信した従装置は直ちに該従装置の時計の時刻合わせを行い前記時刻情報による時刻に合致せしめると共に調整直前の時刻による時刻情報を主装置に返送し、主装置は前記従装置の時計の正常性を判定することを特徴とする主時計分配方式。

3. 発明の詳細な説明

(a). 発明の技術分野

本発明は、主装置の高精度の主時計から従装置の時計へ時刻を分配する方式に関わる。

(b). 技術的背景

主時計の配分は、従装置の時計（以下、従時計

と略記する）が自らは時刻の更新を行わない場合は主時計から各従時計に一斉に送られる歩進信号により時刻が更新され、自ら時刻の更新可能な場合は定期的に時刻調整信号を一斉に送り時刻合わせを行うか又はマニュアル操作で行われていた。

(c). 従来技術と問題点

前記の様な時刻の更新と調整を定期的に自動的に行う従来方式では従時計の正常性の確認は行われず別途の確認作業が必要となり、特に2重化装置の待機側等も含め自動的に行うことがのぞまれていた。

(d). 発明の目的

本発明は、従時計に対して正確な時刻の分配と各従時計の正常性の確認を同時且つ自動的行うことを目的とする。

(e). 発明の構成

この目的は、自ら時刻の更新可能な時計装置を有する従装置と高精度の主時計を有する主装置を制御バスで接続し、一定時刻毎に主装置より個々の従装置に対して夫々個別に主時計の現在の時刻

情報を送出し、該時刻情報を受信した従装置は直ちに該従装置の時計の時刻合わせを行い前記時刻情報による時刻に合致せしめると共に調整直前の時刻による時刻情報を主装置に返送し、主装置は前記従装置の時計の正常性を判定することを特徴とする主時計分配方式により達成される。

(f). 発明の実施例

本発明の実施例を図によって説明する。第1図は実施例の主要部の説明図であり第2図は制御バスの情報フレームである。図に於いてMDVは主装置、SDV0, …Nは従装置、BUSは制御バス、MCTLは主制御部、CTLは制御部、MCLKは主時計装置、CLKは従時計装置、COMはコマンドフレーム、RESはレスポンスフレーム、FSはフラグシーケンス、ADはアドレス部、Cは制御部、Iは情報部、PCSはフレーム検査シーケンス、である。

本実施例は、主装置MDVと従装置SDV0, …Nは制御バスBUSで接続されており、伝送制御手順としては周知のハイレベルデータリンク制

御手順（以下、HDL Cと略記する）が採用されており、主装置MDVを一次局（制御局）、従装置SDV0, …Nを二次局（従属局）とする正規応答モードで一次局からのコマンド及び其に対する二次局からのレスポンスにより制御通信が行われる例である。コマンド及びレスポンスの情報フレームは第2図に示す。

主装置MDVは本発明に関わる部分として主制御装置MCTLと主時計装置MCLKを有し、主時計装置MCLKは高精度であり常に主制御装置MCTLに対し時刻を表示しており、主制御装置MCTLは定められた時刻毎に現時刻の情報を入れたコマンドフレームCOMをHDL Cに従って一次局として編集し制御バスBUSを介して二次局に送出し、送出したコマンドフレームCOMに入れた前記時刻情報を記憶しておき、二次局からのレスポンスフレームRESをバスBUSを介して受信し時刻情報を抽出して記憶していた前記時刻情報と比較し差異が一定値以上の場合は表示装置等（図無し）に出力する機能を備えている。

3

従装置SDV0, …Nは本発明に関わる部分として従時計装置CLK及び従制御装置CTLを有し、従時計装置CLKは通常自ら時刻を更新して表示しており従制御装置CTLによる時刻の読み取り及び時刻合わせが可能であり、従制御装置CTLは一次局である主装置の主制御装置MCTLからの自装置宛のコマンドフレームCOMをバスBUSを介して受信し時刻情報を解釈し従時計装置CLKの時刻合わせを行う機能と前記コマンドフレームCOMに対するレスポンスフレームRESを前記時刻合わせ直前の従時計装置CLKの読み取り時刻の情報を入れて編集しバスBUSを介して一次局である主装置に送信する機能を有する。

定められた時刻毎に、主制御装置MCTLは全従装置SDV0, …Nに時計の分配動作を開始し、各従装置に対して順次個別に時計分配を行う。最初に従装置SDV0に対するコマンドフレームCOMが準備される。コマンドフレームCOMの情報部Iには主時計装置MCLKの現在時刻の情報を入れアドレス部ADには従装置SDV0のアド

4

レス情報を入れ制御部Cにはコマンドであることを示す情報を入れる。フラグシーケンスFSはフレームの始、終を示しフレーム検査シーケンスPCSは誤り制御のためのものでありHDL Cに従って準備される。準備が終わるとコマンドフレームCOMは直ちに制御バスBUSに送出される。

従装置SDV0の従制御装置CTLは前記コマンドフレームCOMを受信しアドレス部ADと制御部Cにより自装置に対するコマンドであることを識別してこのコマンドを受領し、情報部Iの時刻情報により直ちに従時計装置CLKの時刻合わせを行い、レスポンスを行うために直前の従時計装置CLKの時刻を情報部Iに入れアドレス部ADには自装置である従装置SDV0のアドレス情報をいれ制御部Cには1フレームで終わるレスポンスであることを示す情報を入れてフラグシーケンスFS、フレーム検査シーケンスPCSは前記のコマンドフレームCOMの場合と同様にしてレスポンスフレームRESを準備し制御バスBUSに送出する。

5

6

主装置MDVの主制御装置MCTLは従装置SDV0からのレスポンスフレームRESを直ちに受信し情報部Iの時刻情報を抽出して前記のコマンド送出時に記憶して置いた時刻と比較して其の差異により従装置SDV0の従時計装置CLKの正常性を判定し一定値以上であれば表示装置等(図無し)に出力して保守上の対処を求める。

以上の動作により従装置SDV0への時計分配が終わると、主装置MDVの主制御装置MCTLは従装置SDV1への時計分配を開始する。主制御装置MCTLは従装置SDV0に対する場合と同様にして従装置SDV1に対し現在時刻を入れたコマンドを送出し、このコマンドを受けて従装置SDV1の従制御装置CTLは従時計装置CLKの時刻合わせを行い直前の時刻を入れたレスポンスを送出し、主制御装置MCTLはこのレスポンスを受信して従時計装置CLKの正常性を判定する。以下、順次従装置SDV2, 3, ...Nへと同様の動作を繰り返すことにより全従装置の従時計装置CLKに対する正常性の確認と時刻分配と

が行われる。前記の時計分配動作は定時刻毎に前記の全従装置にたいして行われる。

以下には、前記実施例の変形例を示す。

伝送制御手順はHDLにに限ることなく、使用されるバスに適合もので、主装置から各従装置を個別に指定して指令が出来、指令を受けた従装置は直ちに応答を主装置に返すことが可能なものは適用出来る。

前記実施例では定期的に全従装置への時計分配を行ったが、各従装置を一定の時間間隔で循環的に巡る時計分配も可能であり、又、時計分配以外の指令、応答と組合せることも可能であり、例えば時計分配のレスポンスに従装置の監視対象となる状態を示す情報等を加えることにより時計以外の状態監視にも兼用出来る。レスポンスフレームRESはこの場合長くなる。

(4). 発明の効果

本発明によれば定時の時計分配毎に時刻合わせと正常性の確認を行って従装置の時計装置を監視することが出来るのみならず、従装置の定期監視

を時計分配時に行うことも可能であり経済的に信頼度を向上を計ることができる。

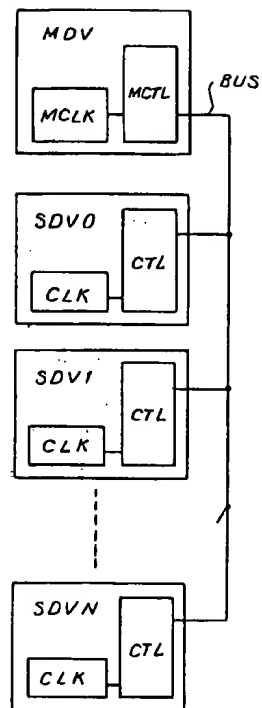
4. 図面の簡単な説明

第1図は実施例の主要部の説明図であり第2図は制御バスの情報フレームである。図に於いてMDV...主装置、SDV0, ...N...従装置、BUS...制御バス、MCTL...主制御部、CTL...制御部、MCLK...主時計装置、CLK...従時計装置、COM...コマンドフレーム、RES...レスポンスフレーム、FS...フラグシーケンス、AD...アドレス部、C...制御部、I...情報部、FCS...フレーム検査シーケンス、である。

代理人 弁理士 松岡 宏四郎



第1図



第2図

